

#2/Pro
2-802
K. Powell
500.40552X00



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): INOUE, et al.
Serial No.: Not assigned
Filed: August 23, 2001
Title: TURBO DECODER, TURBO ENCODER AND RADIO BASE
STATION WITH TURBO DECODER AND TURBO ENCODER
Group: Not assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

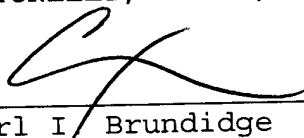
August 23, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2001-139443 filed May 10, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,
ANTONELLI, TERRY, STOUT & KRAUS, LLP



Carl I. Brundidge
Registration No. 29,621

CIB/amr
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCS78 U.S. PTO
09/934601
08/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 5月10日

出 願 番 号
Application Number:

特願2001-139443

出 願 人
Applicant(s):

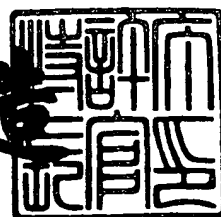
株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 K01004921A

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/45

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立
製作所 通信事業部内

【氏名】 井上 貴夫

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立
製作所 通信事業部内

【氏名】 椿 直樹

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立
製作所 通信事業部内

【氏名】 鈴木 政康

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立
製作所 通信事業部内

【氏名】 中越 新

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ターボ復号器並びにターボ符号器

【特許請求の範囲】

【請求項 1】

符号化データに対して、誤り訂正復号を行う第1及び第2の誤り訂正復号手段と、
第1の復号手段によって算出された軟出力復号結果をインタリーバ入力系列とし
て格納するインタリーバメモリと、前記インタリーバメモリに前記インタリーバ
入力系列を格納するためのアドレスと、前記インタリーバに格納されたインタリ
ーバ入力系列をランダムに読み出すためのアドレスとを指定するインタリーブア
ドレス生成手段とを有するターボ復号器であって、

前記インタリーブアドレス生成手段は、

前記インタリーバメモリに格納されたインタリーバ入力系列をランダムに読み出
すためのアドレスが前記インタリーバ入力系列の情報化ビット数からテイルビッ
トを除いたビット数を超える場合、前記インタリーバ入力系列のシンボル番号に
補正値を加えてアドレス変換を行う
ことを特徴とするターボ復号器。

【請求項 2】

請求項 1 記載のターボ復号器において、

前記インタリーブアドレス生成手段は、

前記インタリーバ入力系列を前記インタリーバメモリに格納するためのアドレス
として前記インタリーバ入力系列のシンボル番号を指定し、前記インタリーバに
格納されたインタリーバ入力系列の読み出しアドレスとして、前記インタリーバ
に格納されたインタリーバ入力系列のシンボル番号を順次用いてアドレス変換す
ることにより読み出しアドレスを行うことを特徴とするターボ復号器。

【請求項 3】

請求項 2 に記載のターボ復号器において、

前記インタリーバに格納されたインタリーバ入力系列のシンボル番号を順次生成
する出力シンボル番号生成手段と、

前記出力シンボル番号生成手段が生成したシンボル番号に対して、固有の閾値を

設定する閾値選択手段を有することを特徴とするターボ復号器。

【請求項 4】

請求項 3 に記載のターボ復号器において、

前記閾値選択手段は、前記インタリーバ入力系列の情報化ビット数に応じて、複数の閾値を選択するものであり、

当該閾値は前記インタリーバ入力系列の各情報化ビット数毎に、前記インタリーバ入力系列の情報化ビット数からテイルビットを除いたビット数を超えるアドレスを生成することになる、前記出力シンボル番号生成手段により生成される出力シンボル番号に対応したものであることを特徴とするターボ復号器。

【請求項 5】

請求項 4 記載のターボ復号器において、

前記インタリーブアドレス生成手段は、前記閾値選択手段の閾値に応じて前記出力シンボル番号生成手段からの出力シンボル番号に加算される補正值を選択する補正值選択手段を有することを特徴とするターボ復号器。

【請求項 6】

アンテナ、RF部、ベースバンド部、通信網とのインタフェースを行う通信インタフェースとを備えた無線基地局において、

前記ベースバンド部は、符号化されたデータを復号するターボ復号器を備え、

前記ターボ復号器は、前記符号化されたデータの誤り訂正復号を行う第1及び第2の誤り訂正復号手段と、第1の複数の復号手段によって算出された軟出力復号結果をインタリーバ入力系列として格納するインタリーブメモリと、前記インタリーブメモリに前記インタリーバ入力系列を格納するためのアドレスと、前記インタリーブに格納されたインタリーバ入力系列をランダムに読み出すためのアドレスとを指定するインタリーブアドレス生成手段とを有し、

前記インタリーブアドレス生成手段は、

前記インタリーブメモリに格納されたインタリーバ入力系列をランダムに読み出すためのアドレスが前記インタリーバ入力系列の情報化ビット数からテイルビットを除いたビット数を超える場合、前記インタリーバ入力系列のシンボル番号に補正值を加えてアドレス変換を行う

ことを特徴とする無線基地局。

【請求項 7】

請求項 6 記載の無線基地局において、

前記インタリーブアドレス生成手段は、

前記インタリーブ入力系列を前記インタリーブメモリに格納するためのアドレスとして前記インタリーブ入力系列のシンボル番号を指定し、前記インタリーブに格納されたインタリーブ入力系列の読み出しアドレスとして、前記インタリーブに格納されたインタリーブ入力系列のシンボル番号を順次用いてアドレス変換することにより読み出しアドレスを行うことを特徴とする無線基地局。

【請求項 8】

送信データに対して、畳み込み符号を行う第 1 の畳み込み符号手段と、送信データを格納するインタリーブメモリと、前記インタリーブメモリに送信データを格納するためのアドレスと、前記インタリーブメモリに格納された送信データを構成するデータをランダムに読み出すためのアドレス生成手段とを有するターボ符号器であって、

前記インタリーブアドレス生成手段は、

前記インタリーブに格納された送信データをランダムに読み出すためのアドレスが前記送信データの情報化ビット数からテイルビットを除いたビット数を超える場合、前記送信データの各ビットのシンボル番号に補正値を加えてアドレス変換を行う

ことを特徴とするターボ符号器。

【請求項 9】

伝送する情報ビットに対し、複数の畳み込み符号器と系列のランダム並べ替えを行うインタリーブを組み合わせ、情報系列を畳み込み符号化するターボ符号器であって、

固有の計算方法により読み出しアドレスを生成するインタリーブアドレス生成手段を有し、

前記インタリーブアドレス生成手段は、入力シンボル系列に対応するシンボル番号を、固有のアドレス変換法によりインタリーブアドレスを生成し、変換後のア

ドレス出力が、シンボル番号を予め設定した値以外である場合は、予め設定したルールで補正を加えてアドレス変換処理を行うことを特徴とするターボ符号器。

【請求項 1 0】

請求項 9 に記載のターボ符号器において、前記インタリーブアドレス生成手段は、論理回路で構成されていることを特徴とするターボ符号器。

【請求項 1 1】

請求項 1 0 に記載の出力シンボル番号生成手段により生成されたシンボル番号に対して、固有の閾値を設定する閾値選択手段を持つことを特徴とするターボ符号器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、符号化データを受信し、誤り訂正して復号するターボ復号器、特にターボ復号器を含む無線基地局に関する。

【0 0 0 2】

【従来の技術】

通信システムにおいて、データの伝送誤りを訂正する為に、各種の誤り訂正符号が採用されている。日経エレクトロニクス no.721 pp163~177(1998.7.13)にあるように、送信データを畳み込み符号化して送信し、受信側では、最尤復号化を行うビタビ復号器で誤り訂正復号化してデータを復元することが知られている。無線区間を含む通信システムの場合には、無線区間におけるバースト誤りが発生する可能性が高くなる。

前述の畳み込み符号は、ランダム誤りについて誤り訂正復号化が可能であるが、バースト誤りに対しては誤り訂正能力が低くなる。そこで、畳み込み符号とインタリーブとを組み合わせたターボ符号を適用することが知られている。

【0 0 0 3】

通信路を含む通信システムの構成の一例を図 1 に示す。送信データ X をターボ符号化するターボ符号器 1 と、送信変調部 2、無線区間などで雑音などが付加される通信路 3 と受信復調部 4、及びターボ復号器 5 とを含むものである。送信側

装置ではターボ符号器1により送信データXのターボ符号化を行い、符号化データX、 $X_1 \dots X_n$ 、Y、 $Y_1 \dots Y_m$ を送信変調部2により送信変調して送出し、無線などの誤りのある通信路3を介し、受信した系列を受信復調部4により復調処理された符号化データX'、 $X'_1 \dots X'_n$ 、Y'、 $Y'_1 \dots Y'_m$ をターボ復号器5に入力し、ターボ符号の復号を行って受信データを復元する。

【0004】

送信側のターボ符号器1で構成される畳み込み符号化部（畳み込み符号器1、畳み込み符号器2）6、7とインタリーブ8を含み、送信変調部により多重化し変調して送信する。畳み込み符号器6は、送信データXの畳み込み符号化を行い、冗長ビット $X_1 \dots X_n$ を出力する。

畳み込み符号器の内部構成を示す一例を図2に示す。拘束長 $K=4$ 、符号化率 $R=1/3$ の場合のブロック図を示す。生成元関数は

【0005】

【数1】

$$G(D)=[1, (1+D+D^3)/(1+D^2+D^3), (1+D+D^2+D^3)/(1+D^2+D^3)] \quad (\text{数1})$$

である。

この時、送信データXの終端で内部状態が固定値となるように、送信データの終端に付加情報（以下テイルビットと称する）が挿入される。この場合、テイルビットは拘束長 $K-1=3$ ビットとなる。送信データXをインタリーブ8においてインタリーブして送信データXと順序が異なる情報データ系列Yを出力する。このインタリーブをターボインタリーブと呼ぶ。

畳み込み符号器7は、インタリーブ8から出力された情報シンボル系列Yに対して畳み込み符号化を行い、冗長ビットY、 $Y_1 \dots Y_m$ を出力する。即ち、ターボ符号化データは、送信データXを畳み込み符号器6により符号化した系列X、 $X_1 \dots X_n$ と、Xをターボインタリーブした系列Yを、畳み込み符号器7により符号化した系列Y、 $Y_1 \dots Y_m$ からなるもので、 $(n+1)+(m+1)$ 多重化して送信することになる。このとき、符号化率 $R=1/\{(n+1)+(m+1)\}$ となる。

【0006】

受信装置では、誤り訂正復号手段9、10とインタリーバ11とデインタリーバ12とを含むターボ復号器5が、通信路3を介した受信信号を受信復調部4により復調し、その後多重分離を行い、受信データ X' 、 $X'_1 \dots X'_n$ 、 Y' 、 $Y'_1, \dots Y'_m$ をターボ復号器5に入力する。ターボ復号の初回の動作では誤り訂正復号手段9に X' 、 $X'_1 \dots X'_n$ を入力して軟判定復号を行う。初回動作時には事前情報尤度 $L(X')$ の入力は存在しない（この場合'0'を $L(X')$ に代入する）。

次に復号したあとの軟出力から与えられる外部尤度 $L_e(X')$ を算出する。ここで $L_e(X')$ はインタリーバ11によりインタリーブ処理され、事前情報尤度 $L(Y')$ として Y' と加算される。そして誤り訂正復号手段10は Y'_{In} 、 $Y'_1 \dots Y'_m$ を入力して軟判定復号を行い、前述と同様に外部尤度 $L_e(Y')$ を算出する。

その後、デインタリーバ12によりデインタリーブ処理（インタリーブ処理の逆処理）され、事前情報尤度 $L(X')$ として3回目以降の処理では、 X' と加算し、 X'_{In} として再度入力し、前述と同一の動作を繰り返す。この復号処理を複数回繰り返すことにより、ランダム誤りは勿論のこと、バースト誤りに対しても誤り訂正復号が可能となる。復号処理の最終回に関しては、例えば、図3に示すように誤り訂正復号手段10からの軟出力をデインタリーバ12よりデインタリーブ処理して復号データ X を得る。

ターボ符号の誤り訂正復号手段としては、例えばMAP（最大事後確率）復号化方式と、SOVA（軟判定ビタビアルゴリズム）復号化方式とが知られている。MAP復号化方式は、受信データの移行確率を用いて前方用確率 α と後方用確率 β とを算出して、各時間（ビット）について前方用確率 α と後方用確率 β とを用いて“1”か“0”であるかといった確率の大きい方（硬判定復号データ）とその差（軟判定）とを求めるものである。SOVA復号化方式は、ビタビ復号器と同様に硬判定データを求めるものであるが、更に最尤パスと競合パスとを用いて軟判定値を求めるものである。SOVA復号化方式は、MAP方式と比較して簡易化されたアルゴリズムを用いることから、演算量は少なく済むこと及

びターボ符号とSOVAを組み合わせることにより誤り率を大きく改善できることが特徴として知られている。

【0007】

インタリーブアドレスを生成するターボインタリーブアドレス生成部に関しては3GPP2 C.S0024 Version 2.0 cdma2000 High Rate Packet Data Air Interface Specification pp9-43~9-44 October 27, 2000に示されている。このターボインタリーブアドレス生成部について、図4を用いて概略構成を示す。

符号化、復号化処理の単位をパケットとし、パケット長である情報化ビット数を N 、テイルビットを除く情報化ビット数を N' とする。 n ビットカウンタ13は、シンボルクロックを入力して、シンボルクロックに従い0から1ずつカウントアップする。ここでシンボルとは、復号化処理の単位であるパケットを構成するビットを意味し、符号ビットと情報尤度とを合わせたものである。シンボルクロックは情報化ビット数 N に等しいとする。例えば情報化ビット数 $N=256$ の場合、0から1ずつ255までカウントアップするので8ビットカウンタを用意することとなる。アドレス計算部14は、 n ビットカウンタ13のカウント値を入力としてアドレス計算を行う。テイルビット補正部15は、アドレス計算部からの入力値が、情報化ビット数 N' より大きい場合には、その入力値を削除する機能を持つ。

【0008】

図4のターボインタリーブアドレス生成において、図1の畳み込み符号器6及び畳み込み符号器7に図2の構成をそれぞれ適用した場合を考える。 $N=256$ 、図4の $n=8$ の場合、テイルビットを除いた $N'=250$ がインタリーブの入力ビット数となる。テイルビットについて更に詳しく述べると、畳み込み符号器一つにつき、拘束長 $K-1=3$ がテイルビットとなり、図1では畳み込み符号器を2つ使用していることからテイルビットが6ビットとなる。インタリーブは、上記入力ビット数に対するアドレス値0~249でメモリに順番に書き込みを行い、図4のターボインタリーブアドレス生成部で生成されたアドレスで読み出す。生成されたアドレスが250より大きい場合、カウンタをインクリメントして、アドレス変換処理を再度やり直す。

【0009】

特開2001-53624号公報に記載の技術は、インタリーブとデインタリーブのデータの書き込み/読み出しアドレスをメモリに記憶する方法を採用している。

【0010】

以下、書き込み又は読み出しアドレスをメモリに記憶する方式について、図5に示す概略図を用いて述べる。インタリーブアドレス或いはデインタリーブアドレスのパターンをあらかじめ、テイルビットを除く情報化ビット数 N' を超えないようなアドレス値をパターンメモリ16、17に格納することで実現していた。【発明が解決しようとする課題】

インタリーブアドレスを生成するターボインタリーブアドレス生成法はアドレスのランダム性を増す為に複雑化しており、この生成法を使用した場合、テイルビットを除いた $N'=250$ がインタリーブへの入力ビット数であるのに対し、生成されるアドレスはカウンタ値に応じて250より大きいとなる場合がある。この場合、カウンタをインクリメントして、アドレス変換処理を再度やり直す必要がある。この処理を行うとアドレス生成の為に処理構成が複雑になる上、処理時間を余分に必要としターボ復号器の処理遅延が大きくなるといった問題点がある。

【0011】

また、従来技術のターボ復号器においては、インタリーブアドレス或いはデインタリーブアドレスをメモリに持つ必要があり、メモリの必要容量が大きくなるという問題がある。例えば先に述べたパケットの情報化ビット数 $N=4096$ の場合、メモリは $12 \times 4096 = 49152$ ビットの容量が必要となる。通信状態に応じては、データ伝送速度を変更する目的で情報化ビット数を複数準備し、伝送速度に応じて情報化ビット数を選択して通信するシステムがある。例えば、情報化ビット数 $N=256$ の場合、メモリは $8 \times 256 = 2048$ ビット、情報化ビット数 $N=512$ の場合、メモリは $9 \times 512 = 4608$ ビット、情報化ビット数 $N=1024$ の場合、メモリは $10 \times 1024 = 10240$ ビット、情報化ビット数 $N=2048$ の場合、メモリは $11 \times 2048 = 22528$ ビットの

容量を必要とすることになる。例に挙げた情報化ビット数に応じて、パターンR AMに記憶する内容が異なるので、従来の復号器で仮に情報化ビット数の全て、 $N=256$ 、 512 、 1024 、 2048 、 4096 に対応させようとする、合計 88576 ビットのメモリ容量を必要とすることになる。例えば、メモリ1ビットを1ゲートとし、ゲート数に換算して考えると 88576 ゲートを必要とする。従って、従来法で複数の情報化ビット数 N に対応する復号器を実現する場合には、回路規模が非常に増大する問題点があった。同様に消費電力の増加を生じるという問題点もあった。

【0012】

本発明の目的は、インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部を少ない回路規模で実現できるターボ復号器、及びこれを有する無線基地局を提供することにある。

【0013】

また、インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部を共用化することで更に小さい回路規模で実現でき、消費電力を低減するターボ復号器、及びこれを有する無線基地局を提供することにある。

【0014】

【課題を解決するための手段】

本発明は図4に示したターボインタリーブアドレス生成部において、論理回路で実現した場合に課題となるアドレス変換の再処理に関し、以下に示す手段を用いる。予め、テイルビット数を除いた情報化ビット数 N' を超えるアドレス生成値に対応するカウンタ入力値を記憶しておき、記憶しているカウンタ入力値に一致する場合に、テイルビットを除いた情報化ビット数 N' を超えるアドレス生成値の出力をスキップするように、カウンタ入力値を中心に補正する手段を設ける。すなわち、ターボ復号器内のインタリーブ手段、デインタリーブ手段に関し、入力されるシンボル番号に対して閾値を設定し、選択された閾値に従いシンボル番号に対する補正值を選択し、その補正值とシンボル番号を加算することで、インタリーブアドレス或いはデインタリーブアドレスをメモリ等に格納することなく、論理回路で生成する。

【0015】

また、符号化データに対して、誤り訂正復号を行う第1及び第2の誤り訂正復号手段と、第1の復号手段によって算出された軟出力復号結果をインタリーブ入力系列として格納するインタリーブメモリと、インタリーブメモリに前記インタリーブ入力系列を格納するためのアドレスと、インタリーブに格納されたインタリーブ入力系列をランダムに読み出すためのアドレスとを指定するインタリーブアドレス生成手段とを有するターボ復号器であって、インタリーブアドレス生成手段は、インタリーブメモリに格納されたインタリーブ入力系列をランダムに読み出すためのアドレスがインタリーブ入力系列の情報化ビット数からテイルビットを除いたビット数を超える場合、インタリーブ入力系列のシンボル番号に補正値を加えてアドレス変換を行うように構成した。

【0016】

また、アンテナ、RF部、ベースバンド部、通信網とのインタフェースを行う通信インタフェースとを備えた無線基地局において、ベースバンド部は、符号化されたデータを復号するターボ復号器を備え、ターボ復号器は、符号化されたデータの誤り訂正復号を行う第1及び第2の誤り訂正復号手段と、第1の複数の復号手段によって算出された軟出力復号結果をインタリーブ入力系列として格納するインタリーブメモリと、インタリーブメモリにインタリーブ入力系列を格納するためのアドレスと、インタリーブに格納されたインタリーブ入力系列をランダムに読み出すためのアドレスとを指定するインタリーブアドレス生成手段とを有し、インタリーブアドレス生成手段は、インタリーブメモリに格納されたインタリーブ入力系列をランダムに読み出すためのアドレスがインタリーブ入力系列の情報化ビット数からテイルビットを除いたビット数を超える場合、インタリーブ入力系列のシンボル番号に補正値を加えてアドレス変換を行うように構成した。

【0017】

【発明の実施の形態】

以下、本発明の実施例を示す。図17は本発明のターボ復号器を具備した無線基地局の全体構成を説明する概略図である。図17において、44はアンテナ、45は高周波の送受信を行うRF、46はデータの符復号などを行うベースバンド

部、47は通信路インターフェース、48は端末から受信した系列の復調処理を行う受信復調部、49はパケット情報を元に受信データの誤り訂正復号化を行うターボ復号器であり、パケット情報には符号率や情報化ビット数N等が含まれている。50は誤り訂正符号化を行うターボ符号器、51は送信信号を作成する送信変調部である。

【0018】

拘束長 $K=4$ 、 $R=1/3$ 、情報化ビット数 $N'=250$ 、506、1018、2042、4090の場合にアドレス生成の再処理を必要とする入力カウンタ値を整理したものを図6に示す。即ち、情報化ビット数 N' を超えるアドレスを生成してしまうアドレス値を整理したものである。まず、図6の情報化ビット数 $N'=250$ の場合について説明する。この場合、図4の n ビットカウンタのカウンタ値が31でアドレス値251が得られ、カウンタ値63でアドレス値254、カウンタ値127でアドレス値252、カウンタ値159でアドレス値255、カウンタ値191でアドレス値250、カウンタ値223でアドレス値253、が各々得られる。同様に例を挙げると、情報化ビット数 $N'=506$ 、1018、2042、4090の場合にも図6に示しているようにカウンタ値に対して固有のアドレス値を得ることになる。つまり情報化ビット数 $N'=250$ の場合について考えると、カウンタ値31で情報化ビット数 N' を超えるアドレス値251が得られるため、入力カウンタ値を32にインクリメントして処理をやり直すということになるわけであるが、ここでカウンタ値0～30まではそのままにしておき、カウンタ値31～61まではカウンタ値31をスキップするように元のカウンタを最初から+1した値で処理をしてやればカウンタをインクリメントして、アドレス変換処理を再度必要しないことになる。

【0019】

図7に本発明に関するターボ復号器の全体構成図の一実施例を示す。伝送する情報ビットに対し、複数の畳み込み符号器とインタリーバを組み合わせる冗長系列を付加した情報に対して、誤り訂正復号を行う誤り訂正復号手段18、19とインタリーバメモリ20、デインタリーバメモリ21を具備し、インタリーバアドレス生成部22又はデインタリーバアドレス生成部23を論理回路で生成する

【0020】

ターボ復号器のインタリーブ処理に関して、図7のインタリーブアドレス生成部22を図8に示したインタリーブメモリ24は、インタリーブの入力系列を格納する。入力シンボル番号生成部25は、誤り訂正復号手段の方式やターボ復号器の全体構成により異なるインタリーブへの入力系列を、インタリーブメモリ24に書き込むインタリーブ書き込みアドレスを生成する。この入力シンボル番号生成部25は、図4のシンボルクロックと同様のクロックの供給を受け、これを入力シンボルクロックとする。この入力シンボルクロックはインタリーブメモリ24にインタリーブ入力系列のパケットを構成するビットに対応した番号を示すものである。つまり、入力シンボル番号生成部25は、クロックより供給される入力シンボルクロックに従い、インタリーブ入力系列の各ビットをインタリーブメモリ24に連続的に書き込むため、入力パケットの各ビットを表すシンボル番号を順次生成する。インタリーブメモリ24へ、順次に入力シンボル番号生成部25により生成されたシンボル番号に対応するアドレスを生成しビットを順次書き込む。出力シンボル番号生成部26は、インタリーブメモリ24から読み出しを行うために、インタリーブ読み出しアドレスを生成する前段階として、出力シンボル番号を生成する。この出力シンボル番号生成部26は、入力シンボル番号生成部25に供給される入力シンボルクロックと同様外部より供給されるものであり、入力パケットを構成する各ビットの連続的な番号を出力シンボル番号として順次出力するものである。インタリーブ読み出しアドレス生成部27は、出力シンボル番号生成部26により生成されたシンボル番号に対してインタリーブ読み出しアドレスを生成する。ここで生成されるシンボル番号並びにインタリーブメモリへの書き込みアドレス又は読み出しアドレスはパケット単位で処理される。

【0021】

図9は図7のデインタリーブアドレス生成部23ブロック図である。デインタリーブメモリ28は、デインタリーブの入力系列を格納する。入力シンボル番号生成部29は、誤り訂正復号手段の方式やターボ復号器の全体構成により異なるデインタリーブへの入力系列を、デインタリーブメモリ28に書き込むデインタ

リーブ書き込みアドレスを生成する前段階として、入力シンボル番号を生成する。この入力シンボル番号生成部29は、図8の入力シンボル番号生成部25と同じように外部から供給されるクロックを入力シンボルクロックとして入力し、入力シンボルクロックに従い、デインタリーブ入力系列の各ビットをデインタリーブメモリ28に連続的に書き込むため、入力パケットの各ビットを表すシンボル番号を順次生成する。デインタリーブ書き込みアドレス生成部30は、入力シンボル番号生成部29により生成されたシンボル番号に対して、デインタリーブ書き込みアドレスを生成する。出力シンボル番号生成部31は、デインタリーブメモリ28から読み出しを行うために、デインタリーブ読み出しアドレスを生成する。具体的には、図4のシンボルクロックと同様のクロックの供給を受け、これを出力シンボルクロックとする。この出力シンボルクロックはデインタリーブメモリ28にデインタリーブ出力系列のパケットを構成するビットに対応した番号を示すものである。つまり、出力シンボル番号生成部31は、クロックより供給される出力シンボルクロックに従い、デインタリーブ出力系列の各ビットをデインタリーブメモリ28から連続的に読み出すため、入力パケットの各ビットを表すシンボル番号を順次生成する。デインタリーブメモリ28へ、順次に出力シンボル番号生成部31により生成されたシンボル番号に対応するアドレスによりビットを順次読み出す。ここで生成されるシンボル番号並びにインタリーブメモリへの書き込みアドレス又は読み出しアドレスはパケット単位で処理される。

【0022】

図10は図8のインタリーブ読み出しアドレス生成部27、並びに図9のデインタリーブ書き込みアドレス生成部30の構成を示す。補正部32は、デインタリーブの場合の入力シンボル番号又はインタリーブの場合の出力シンボル番号に対して補正値を加える。そのため、補正部32へはパケット情報として、情報化ビット数Nが供給される。アドレス変換部33は、補正部32の出力に対して、アドレス変換を行い、インタリーブ読み出しアドレス又はデインタリーブ書き込みアドレスを生成する。アドレス変換部の変換アルゴリズムに関しては3GPP2 C. S0024 Version 2.0 cdma2000 High Rate Packet Data Air Interface Specification pp9-43~9-44 October 27, 2000に基づくのでここでの説明は省略する。

【0023】

図11は図10の補正部32のブロック図であり、図12は図11の閾値選択部34と補正值選択部35において設定・選択される閾値と補正值をシンボル番号と対応して記載したものであり、テイルビットを除く情報化ビット数 $N' = 250$ 、 506 、 1018 、 2042 、 4090 について、アドレス変換処理を再度行うことのないように、シンボル番号と閾値、及び補正值を示している。閾値は図12における各シンボル番号に相当する。閾値選択部34は、インタリーブ読み出しアドレス生成又はデインタリーブ書き込みアドレス生成に関して固有の閾値を選択する。つまり、閾値選択部34は、入力される情報化ビット数が図6の $N' = 250$ 、 $N' = 506$ 、 $N' = 1018$ 、 $N' = 2042$ 、 $N' = 4090$ の何れかであるかによりテイルビットを除く情報化ビット長 N' を超えるアドレス値を生成するシンボル番号を閾値として設定する。つまり、パケット情報として入力される情報化ビット数 $N = 256$ の場合、テイルビットを除く情報化ビット数 $N' = 250$ が選択され、閾値として、カウンタ値 $30, 61, 124, 155, 186, 217$ が閾値として設定される。パケット情報として入力される情報化ビット数がそれぞれ $N' = 506$ 、 $N' = 1018$ 、 $N' = 2042$ 、 $N' = 4090$ の場合も同様に、図12に示したようにテイルビットを除く情報化ビット数を超えるアドレス値を生成するカウンタ値をそれぞれ閾値として設定する。

【0024】

補正值選択部35は、デインタリーブの場合の入力シンボル番号又はインタリーブの場合の出力シンボル番号に対する補正值を選択する。

【0025】

つまり、図12に示したように、補正值選択部35は、情報化ビット数 $N' = 250$ の場合、シンボル番号 $0-30$ では補正值として $+0$ を、シンボル番号 $31-61$ では補正值として $+1$ を、シンボル番号 $62-124$ では補正值として $+2$ を、シンボル番号 $125-155$ では補正值として $+3$ を、シンボル番号 $156-186$ では補正值として $+4$ を、シンボル番号 $187-217$ では補正值として $+5$ を、シンボル番号 $218-249$ では補正值として $+6$ をそれぞれ選択する。また、同様に情報化ビット数 $N' = 506, 1018, 2042, 4090$ においても図12で示した補正值を選択する。これにより、テイルビットを除く情報化ビット数 N' より生成されるアドレス値が大きくなる場合、このシンボル番号をス

キップすることで図6に示したようなテイルビットを除く情報化ビット数 N' より大きくなるアドレスの生成を避けることができる。因みに、テイルビットを除く情報化ビット数 N' より大きくなるアドレスは、デインタリーブの場合の出力シンボル番号又はインタリーブの場合の入力シンボル番号として生成されていないところのアドレスであり、当然のこととしてインタリーブメモリ24、デインタリーブメモリ28には該当するアドレスにデータは格納されていない。

【0026】

補正值加算部36は、デインタリーブの場合の入力シンボル番号及びインタリーブの場合の出力シンボル番号と補正值選択部35により選択された補正值を加算する。

【0027】

図13は図11の補正值選択部35を示したものであり、図11の閾値選択部34により選択された閾値1～閾値 n から、デインタリーブの場合の入力シンボル番号又はインタリーブの場合の出力シンボル番号を減算し、各々の減算結果の符号（正負）を取り出し、シンボル番号の補正值を判定し、デインタリーブの場合の入力シンボル番号又はインタリーブの場合の出力シンボル番号に対する補正值を出力する。

【0028】

本発明は以上の構成を備えているので、インタリーブアドレス、デインタリーブアドレスをメモリに格納することなく、またアドレス変換処理を再度行うことなく、インタリーブ手段のインタリーブアドレス生成、或いはデインタリーブ手段のデインタリーブアドレス生成を論理回路で生成することができる。図7に示す実施例を論理回路で実現した場合、ゲート数は約1500ゲートとなり、従来例で構成した場合の論理規模88576ゲートに対し、約60分の1の論理規模で実現でき、回路規模を縮小することができる。

【0029】

以下、情報化ビット数 $N=256$ の場合について、本発明を適用したインタリーブアドレス生成過程の一実施例を図14に示す。前述のようにテイルビットを除く情報化ビット数 N' は250である。また、図8に示したインタリーブ構成

でインタリーブ入力系列は誤り訂正復号手段の方式やターボ復号器の全体構成によって異なるが、ここではインタリーブ入力系列をD31, D30, D29, D28, ..., D1, D0, D63, ..., D35, D34, D33, D32, D95, ..., D249, ..., D194, D193, D192とする。この場合、入力シンボル番号生成部25で生成される入力シンボル番号は、インタリーブ入力系列に対応して31, 30, 29, 28, ..., 1, 0, 63, ..., 35, 34, 33, 32, 95, ..., 249, ..., 194, 193, 192となる。従って、インタリーブメモリ24には、インタリーブ入力系列D31, D30, D29, D28, ..., D1, D0, D63, ..., D35, D34, D33, D32, D95, ..., D249, ..., D194, D193, D192の順に格納される。出力シンボル番号生成部26で生成される出力シンボル番号は、0, 1, 2, ..., 249である。しかし、この状態での出力シンボル番号をアドレス変換部へ入力すると、図6で示したように、出力シンボル番号31ではアドレス251となる。図11における閾値選択部34にて、図12で $N' = 250$ に対応する閾値を設定し、補正值選択部35で求めた補正值を用いて、出力シンボル番号に対して、補正することで、アドレス変換入力0, 1, 2, ..., 30, 32, 33, ..., 62, 64, 65, ..., 245が得られる。そして、その結果をアドレス変換部にてアドレス変換すると、インタリーブ読み出しアドレス1, 129, 67, ..., 248が出力される。このアドレスで読み出しを行うことで、入力系列が並べ替えされて、D1, D129, D67, D197, ..., D248が得られる。

【0030】

テイルビットを除く情報化ビット数 $N' = 506, 1018, 2042, 4090$ においても、同様の処理でインタリーブが実現できる。但し、図6に示したカウンタ値に応じて、図12における閾値を設定する必要がある。

【0031】

複数の N' に対して1つの復号器に搭載する場合は、図11に示す閾値選択部34に対応すべき N' に対する閾値を記憶しておき、 N' に応じて閾値を選択することで実現できる。

【0032】

尚、補正值選択部 3 2 の判定は単純な加算でもよいし、デコーダ構成でも可能である。デコーダ構成に関する真理値表を情報化ビット数 $N' = 250$ を例に挙げ、図 1 5 に示す。

【0033】

図 8 に示すインタリーブ読み出しアドレス生成部 2 7 と図 9 に示すデインタリーブ書き込みアドレス生成部 3 0 は、1 つのターボ復号器の中では同一回路であるため共用化が可能である。図 1 6 は図 8 のインタリーブ読み出しアドレス生成部 2 7 或いは、図 9 のデインタリーブ書き込みアドレス生成部 3 0 を共用化した場合の構成である。インタリーブメモリ 3 7 に対して、入力シンボル番号生成部 3 8 でインタリーブ書き込みアドレスを生成する。出力シンボル番号生成部 3 9 は出力シンボル番号を出力し、アドレス生成部 4 0 で出力シンボル番号をもとに、インタリーブメモリ 3 7 に対するインタリーブ読み出しアドレスを生成する。一方、デインタリーブメモリ 4 1 では、入力シンボル番号生成部 4 2 で入力シンボル番号を出力し、アドレス生成部 4 0 で入力シンボル番号をもとに、デインタリーブメモリ 4 1 に対するデインタリーブ書き込みアドレスを生成する。また、出力シンボル番号生成部 4 3 で、デインタリーブメモリ 4 1 に対するデインタリーブ読み出しアドレスを生成する。

【0034】

本発明の実施例で示した図 1 1 の構成は、前述の実施の形態のみに限定されるものではなく、種々付加変更することが可能である。例えば図 2 で示した畳み込み符号器の内部構成で拘束長 $K = 5$ 、 $R = 1/3$ の場合、テイルビットは 8 ビットとなる。図 1 1 の閾値選択部 3 4 に符号化方式並びにインタリーブ/デインタリーブアドレス生成法に対する閾値 1 ~ 閾値 8 を設定し、これらの閾値に従い補正值選択部 3 5 で求めた補正值を用いてインタリーブの入力シンボル番号或いはデインタリーブの入力シンボル番号を、補正することになる。

【0035】

図 1 に示した通信システムの概要説明図において、ターボ符号器 1 と復号器 5 の処理内容は、畳み込み符号化部 6 又は 7 の拘束長 K 、符号化率 R など予め定められたパラメータで決定される。図 1 に示した通信システムの概要説明図では、双方

のインタリーブ 8 と 1 1 の処理すべき内容は同一である。よって上記のターボ復号器のインタリーブと同一の構成でターボ符号器のインタリーブを実現することができる。

【 0 0 3 6 】

【発明の効果】

本発明によれば、インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部を少ない回路規模で実現できる効果がある。また、インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部を共用化することで更に小さい回路規模で実現できる効果がある。更に、これにより消費電力を低減する効果がある。

【図面の簡単な説明】

【図 1】

通信システムの概要説明図である。

【図 2】

畳み込み符号器の内部構成の一例を示すブロック図である。

【図 3】

復号の最終回を示すターボ復号器の構成図である。

【図 4】

インタリーブアドレス生成法の一例を示す構成図である。

【図 5】

従来例のターボ復号器の全体構成の概略図である。

【図 6】

アドレス変換処理を再度、必要とするカウンタ値の一例を示す図である。

【図 7】

ターボ復号器の全体構成図である。

【図 8】

インタリーブ構成の説明図である。

【図 9】

デインタリーブ構成の説明図である。

【図10】

インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部の説明図である。

【図11】

アドレスの補正部のブロック図である。

【図12】

閾値選択部における入力シンボル別のカウンタ値への補正值を示した一例を示した図である。

【図13】

の補正值選択部のブロック図である。

【図14】

インタリーブアドレス生成法に関する一連の動作説明図である。

【図15】

補正值選択部における補正值判定の判定方法を示した図である。

【図16】

インタリーブ読み出しアドレス生成部或いはデインタリーブ書き込みアドレス生成部の共用化を説明する構成図である。

【図17】

基地局全体構成の概略図である。

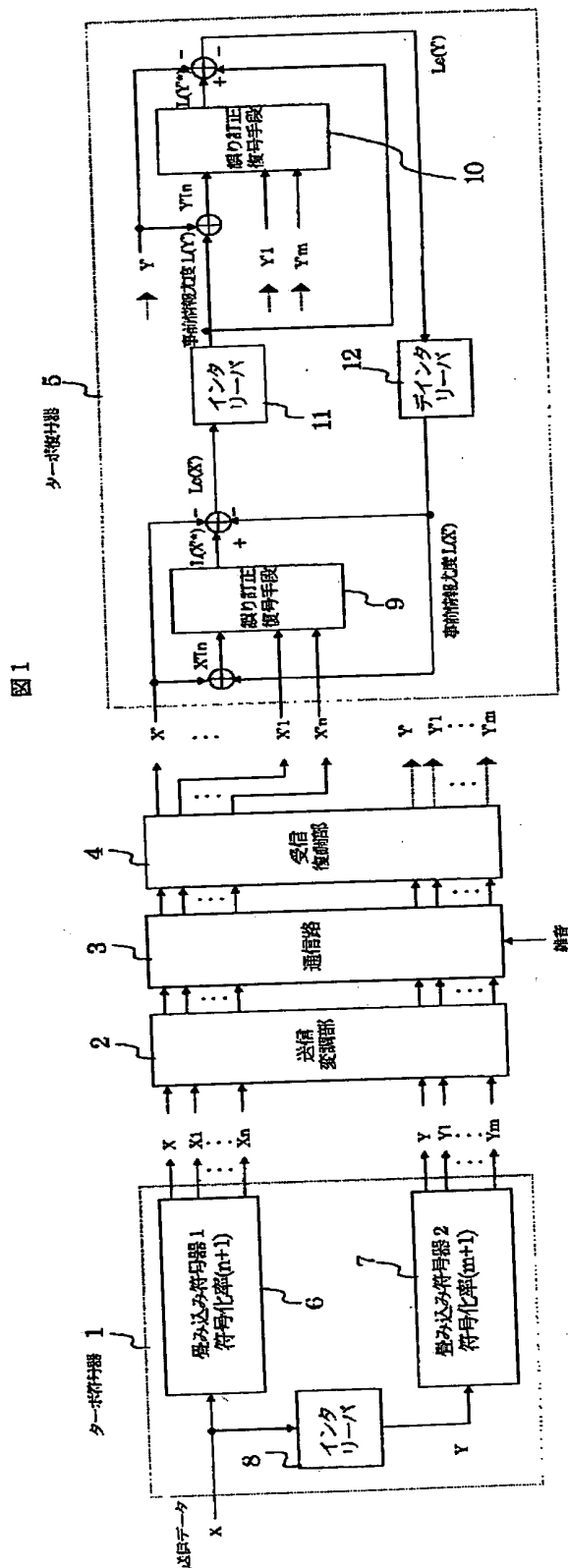
【符号の説明】

- 1…ターボ符号器
- 4…受信復調部
- 5…ターボ復号部
- 6、7…畳み込み符号化部
- 8…インタリーブ
- 9、10…誤り訂正復号手段
- 11…インタリーブ
- 12…デインタリーブ
- 13…nビットカウンタ

- 1 4 … アドレス計算部
- 1 5 … テイルビット補正部
- 1 8 … 1 9 誤り訂正復号手段
- 2 0 … インタリーバ データ格納用メモリ
- 2 1 … デインタリーバ データ格納用メモリ
- 2 5 … 2 9 入力シンボル番号部
- 2 6 … 3 1 出力シンボル番号部
- 2 7 … インタリーブアドレス生成部
- 3 0 … デインタリーブアドレス生成部
- 3 2 … 補正部
- 3 3 … アドレス変換部
- 3 4 … 閾値選択部

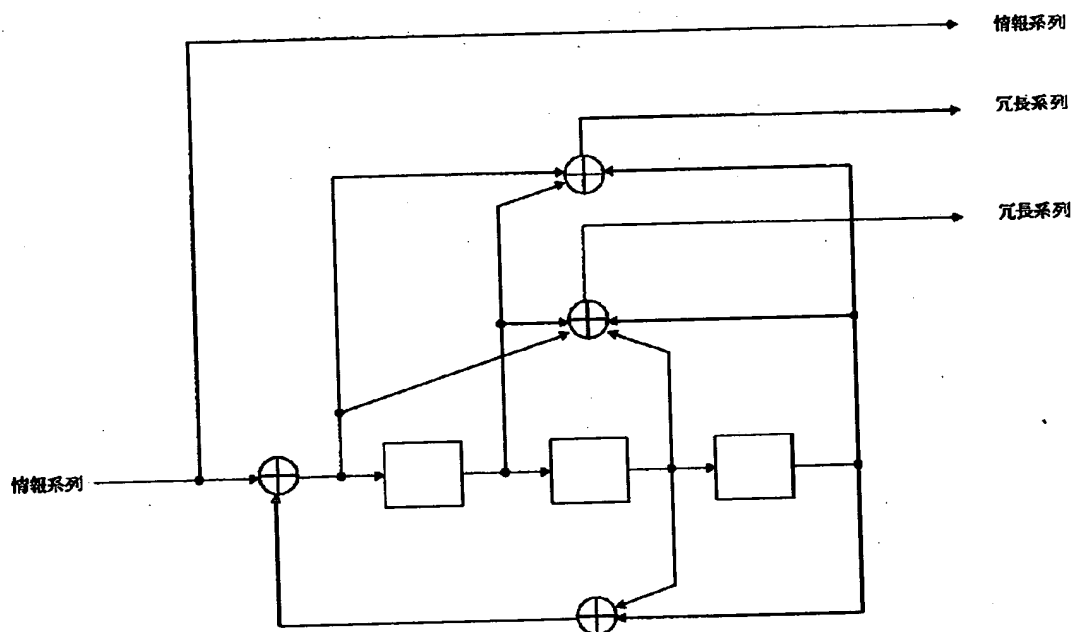
【書類名】 図面

【図 1】



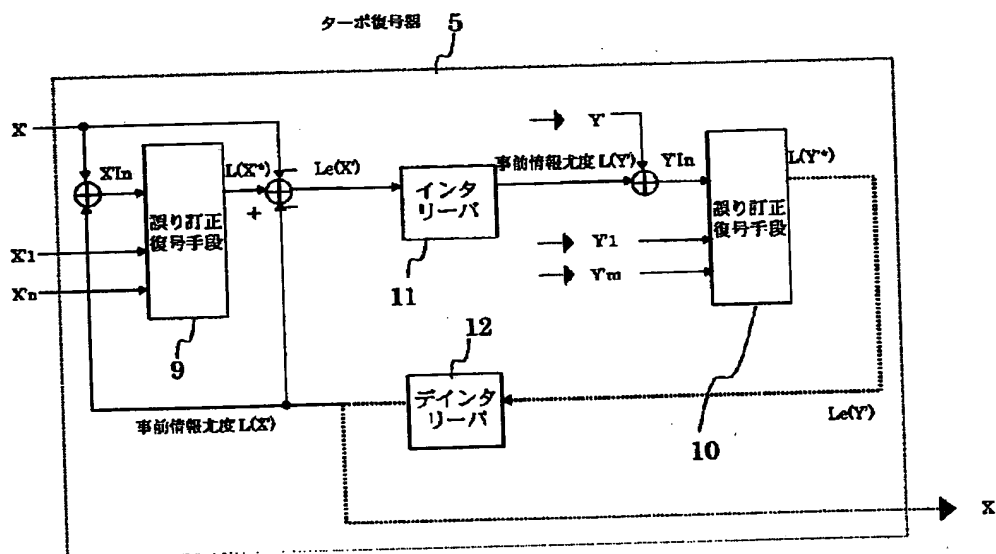
【図 2】

図 2



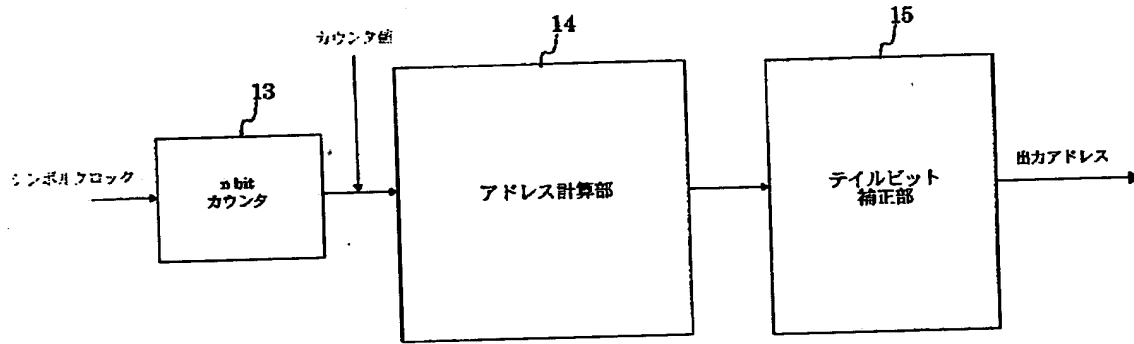
【図 3】

図 3



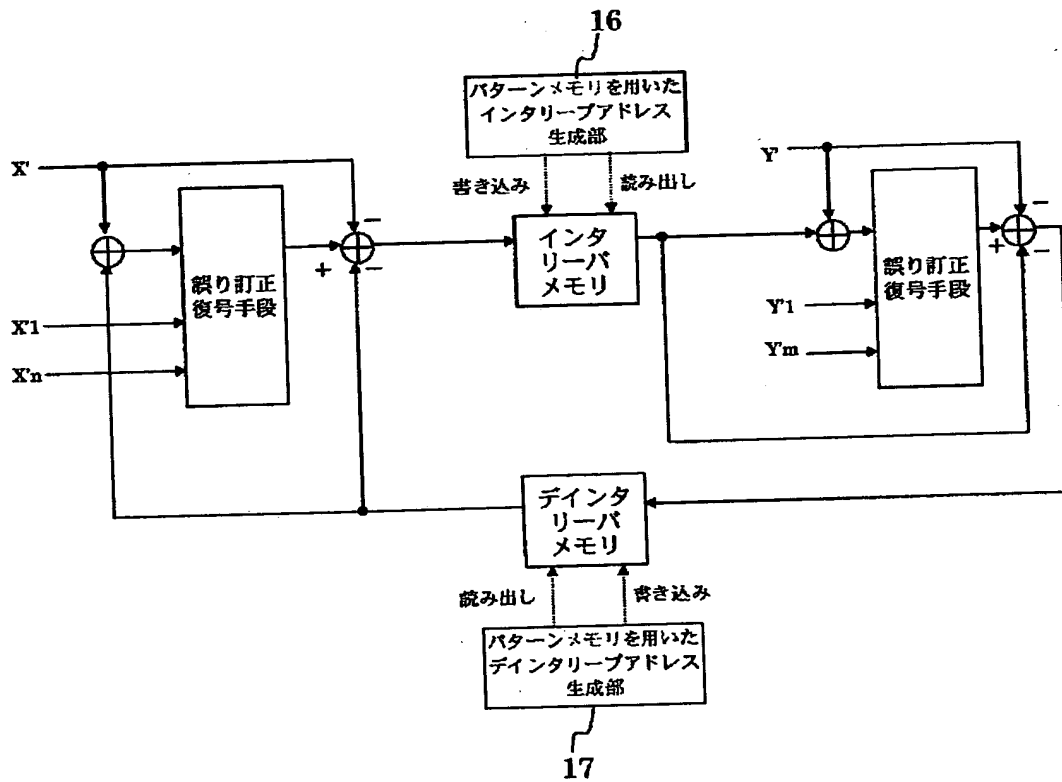
【図 4】

図 4



【図 5】

図 5



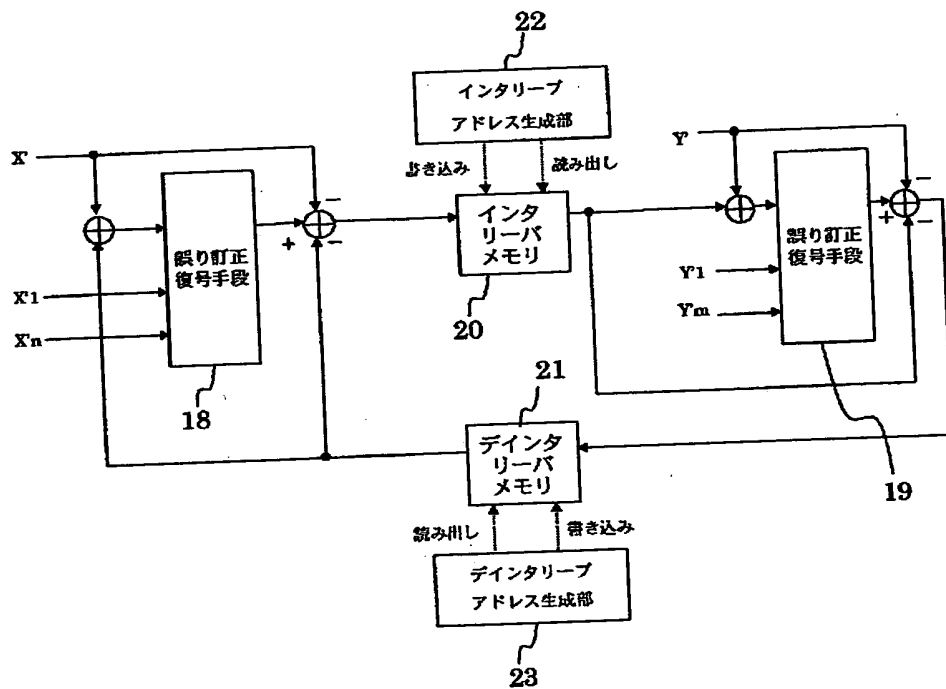
【図 6】

図 6

N'=250		N'=506		N'=1018		N'=2042		N'=4090	
カウンタ値	アドレス値	カウンタ値	アドレス値	カウンタ値	アドレス値	カウンタ値	アドレス値	カウンタ値	アドレス値
31	251	63	506	63	1018	863	2043	1599	4090
63	254	95	511	223	1019	927	2045	2015	4091
127	252	191	510	383	1020	991	2047	2431	4092
159	255	287	509	543	1021	1855	2042	2847	4093
191	250	383	508	703	1022	1919	2044	3263	4094
223	253	479	507	863	1023	1983	2046	3679	4095

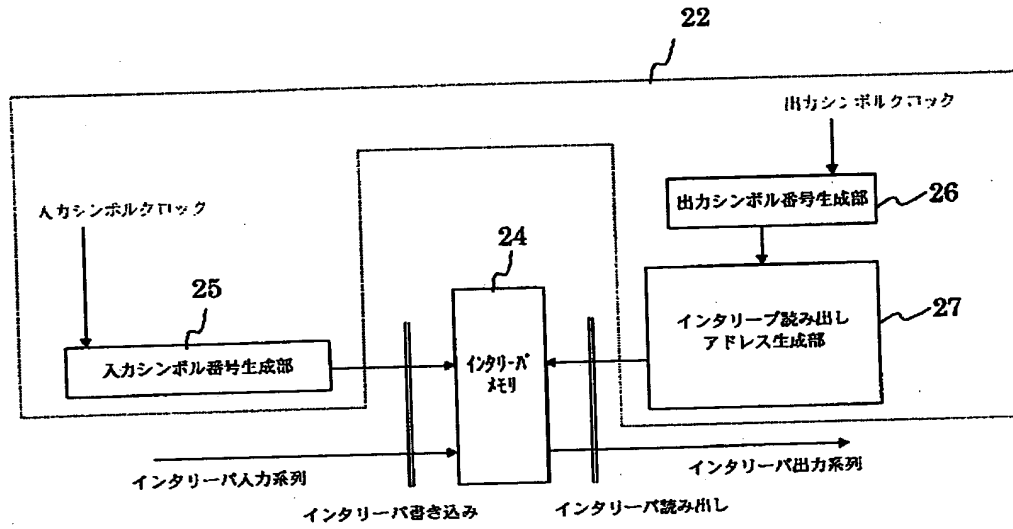
【図 7】

図 7



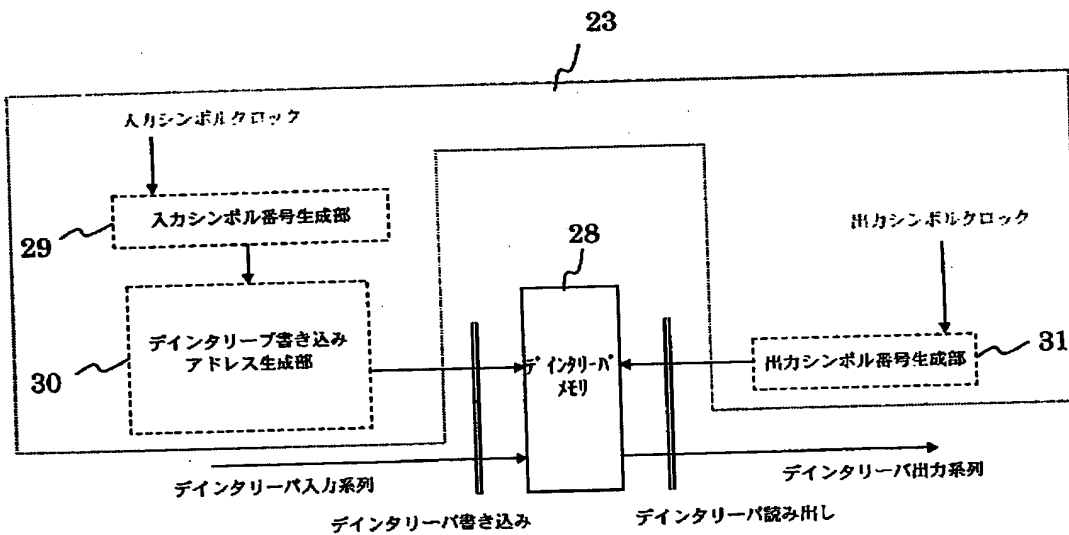
【図 8】

図 8



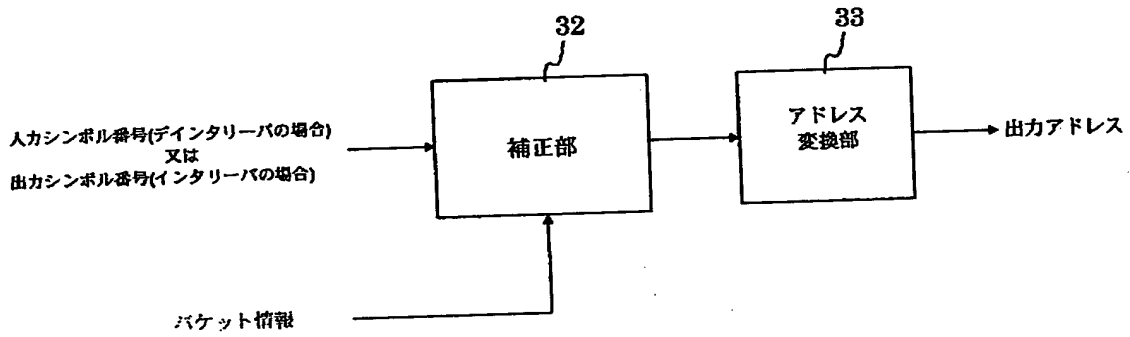
【図 9】

図 9



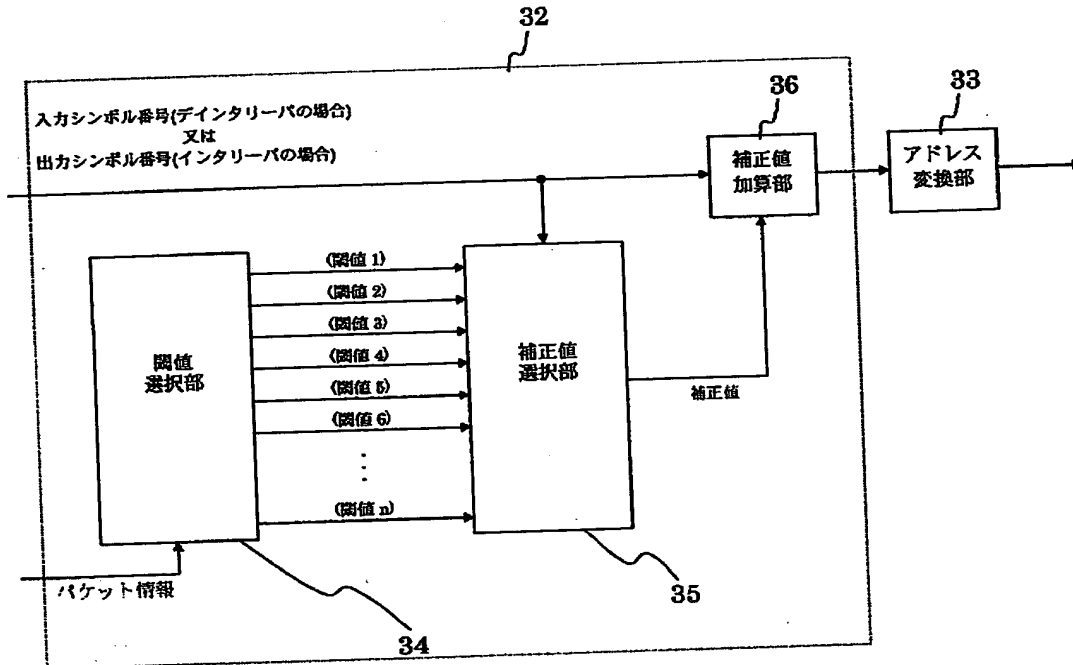
【図10】

図10



【図11】

図11



【図 12】

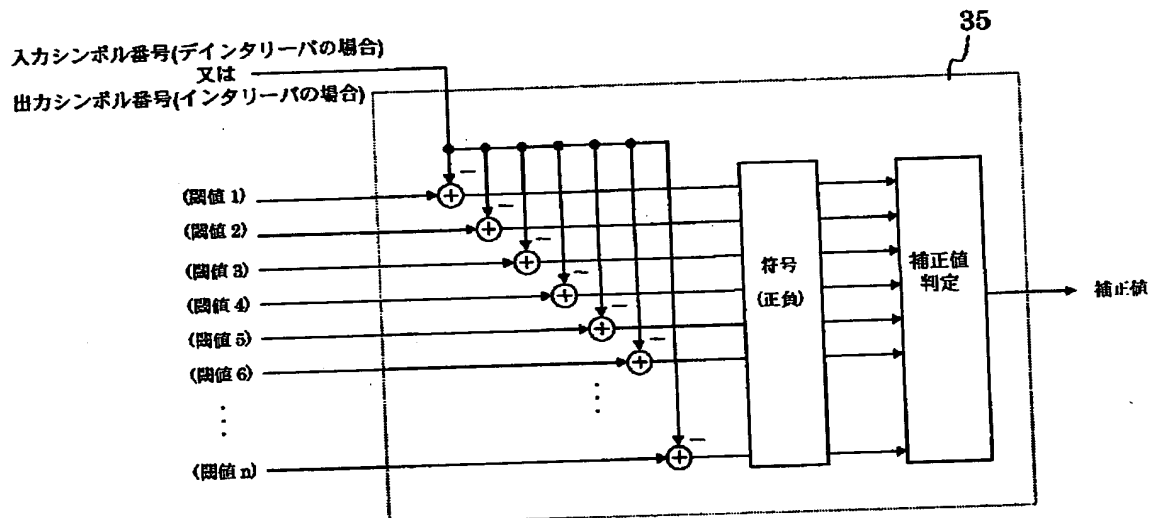
図 12

N' = 250			N' = 506			N' = 1018		
シンボル番号	閾値	補正值	シンボル番号	閾値	補正值	シンボル番号	閾値	補正值
0~30	-	+0	0~62	-	+0	0~62	-	+0
31~61	30	+1	63~93	62	+1	63~221	62	+1
62~124	61	+2	94~188	93	+2	222~380	221	+2
125~155	124	+3	189~283	188	+3	381~539	380	+3
156~186	155	+4	284~378	283	+4	540~698	539	+4
187~217	186	+5	379~473	378	+5	699~857	698	+5
218~249	217	+6	474~505	473	+6	858~1017	857	+6

N' = 2042			N' = 4090		
シンボル番号	閾値	補正值	シンボル番号	閾値	補正值
0~862	-	+0	0~1598	-	+0
863~925	862	+1	1599~2013	1598	+1
926~988	925	+2	2014~2428	2013	+2
989~1851	988	+3	2429~2843	2428	+3
1852~1914	1851	+4	2844~3258	2843	+4
1915~1977	1914	+5	3259~3673	3258	+5
1978~2041	1977	+6	3674~4089	3673	+6

【図 13】

図 13



【図14】

図14

入力 系列	入力 シンボル番号	インターバ 書き込み アドレス	出力 シンボル番号	アドレス 変換入力	インターバ 読み出し アドレス	出力 系列
D31	31	31	0	0	1	D1
D30	30	30	1	1	129	D129
D29	29	29	2	2	67	D67
D28	28	28	3	3	197	D197
.
.
.
D1	1	1	30	30	125	D125
D0	0	0	31	32	2	D2
D63	63	63	32	33	130	D130
.
.
.
D35	35	35	61	62	122	D122
D34	34	34	62	64	3	D3
D33	33	33	63	65	131	D131
D32	32	32	64	66	65	D65
D95	95	95	65	67	199	D199
.
.
.
D249	249	249	192	197	163	D163
.
.
.
D194	194	194	247	253	184	D184
D193	193	193	248	254	120	D120
D192	192	192	249	255	248	D248

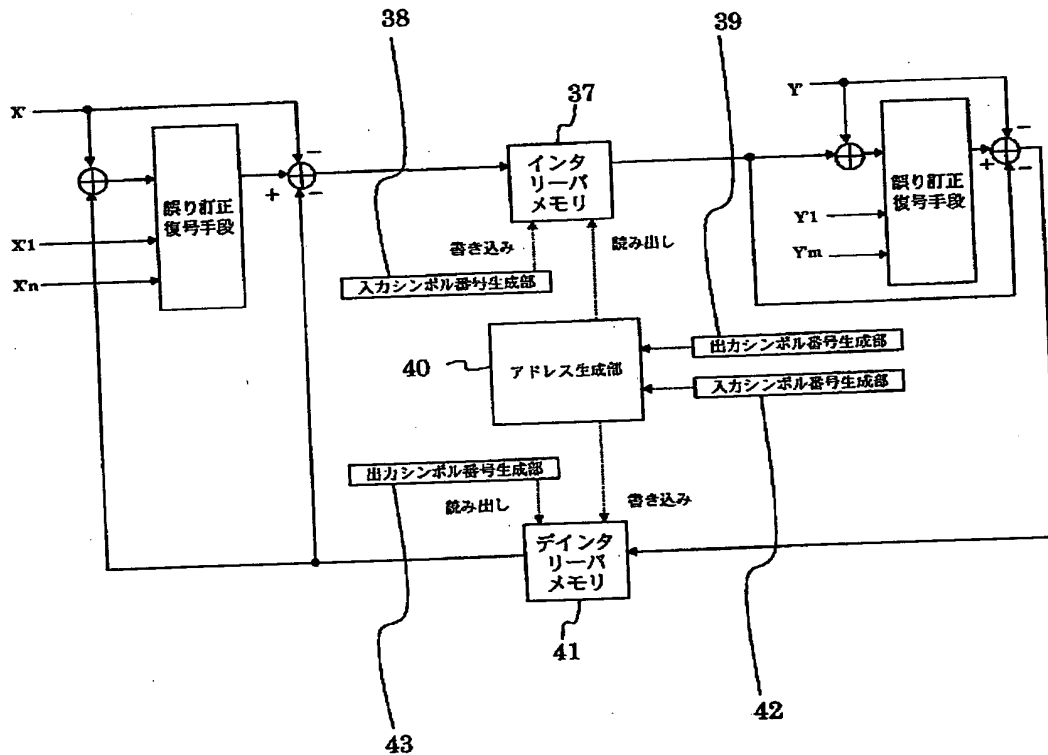
【図15】

図15

N=250 の場合の対応値							
閾値	0~30	31~61	62~124	125~155	156~186	187~217	218~249
30	0	1	1	1	1	1	1
61	0	0	1	1	1	1	1
124	0	0	0	1	1	1	1
155	0	0	0	0	1	1	1
186	0	0	0	0	0	1	1
217	0	0	0	0	0	0	1
	0	1	2	3	4	5	6
							補正值

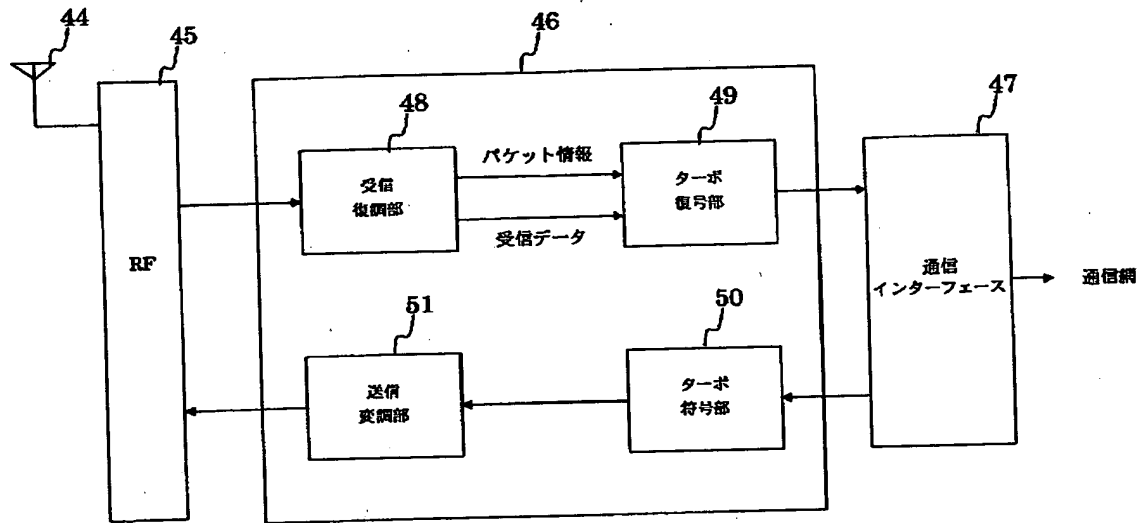
【図16】

図16



【図17】

図17



【書類名】 要約書

【要約】

【課題】 ターボ復号器のインタリーブアドレス生成部を少ない回路規模で実現するターボ復号器を提供することにある。

【解決手段】 ターボ復号器内で使用されるインターリーバ、デインターリーバ或いはターボ符号器内で使用されるインターリーバに入力されるシンボル番号に対して閾値を設定し、選択された閾値に従いシンボル番号に対する補正值を選択し、その補正值をシンボル番号に加算することでインタリーブ読み出しアドレス或いはデインターリーブ書き込みアドレスを論理回路で生成する。

【選択図】 図 7

特2001-139443

認定・付加情報

特許出願の番号

特願2001-139443

受付番号

50100671611

書類名

特許願

担当官

第八担当上席

0097

作成日

平成13年 5月11日

<認定情報・付加情報>

【提出日】

平成13年 5月10日

次頁無

特2001-139443

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所